

516,537

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 1 月 8 日 (08.01.2004)

PCT

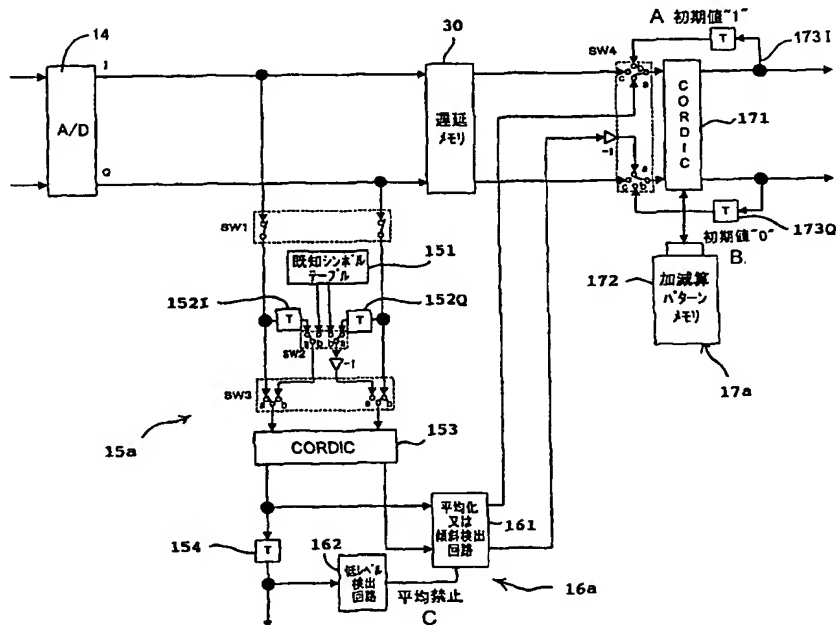
(10) 国際公開番号
WO 2004/004270 A1

- (51) 国際特許分類⁷: H04L 27/38, (72) 発明者; および
H03G 3/20, H04L 1/02, H04B 7/08, 1/16 (75) 発明者/出願人 (米国についてのみ): 猪飼 和則 (INO-GAI, Kazunori) [JP/JP]; 〒236-0032 神奈川県 横浜市 金沢区 六浦町 1 2 3 7-5-7 0 2 Kanagawa (JP).
- (21) 国際出願番号: PCT/JP2003/008144
- (22) 国際出願日: 2003 年 6 月 26 日 (26.06.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2002-186753 2002 年 6 月 26 日 (26.06.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府 門真市 大字門真 1 0 0 6 番地 Osaka (JP).
- (74) 代理人: 二瓶 正敬 (NIHEI, Masayuki); 〒160-0004 東京都 新宿区 四谷 2 丁目 1 2-5 第 6 富沢ビル 6 F Tokyo (JP).
- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: RECEIVER DEVICE

(54) 発明の名称: 受信装置



A...INITIAL VALUE "1"
30...DELAY MEMORY
B...INITIAL VALUE "0"
151...KNOWN-SYMBOL TABLE
172...ADDITION/SUBTRACTION PATTERN MEMORY
161...AVERAGING OR INCLINATION-DETECTING CIRCUIT
162...LOW-LEVEL DETECTING CIRCUIT
C...AVERAGE INHIBITED

(57) Abstract: It is an object to reduce the size of receiver devices as of mobile phones and their base stations. A level determining circuit (15a), a frequency offset detecting circuit (16a), a frequency offset correcting circuit (17a), a channel distortion detecting circuit (18a), a channel distortion correcting circuit (19a) and a maximum-ratio combining circuit (3a) are provided by use of CORD IC's (153, 171, 182, 191, 31-3M and 200). The level determining circuit (15a) and frequency offset detecting circuit (16a) share the CORD IC (153).

(57) 要約: 本発明は、携帯電話やその基地局などの受信装置を小型化することを目的とし、レベル測定回路 15a、周波数オフセット検出回路 16a、周波数補正回路 17a、チャネル歪検出回路 18a、チャネル歪補正回路 19a、最大比合成回路 3a を CORD IC 153、171、182、191、31~3M、200 により構成する。また、レベル測定回路 15a と周波数オフセット検出回路 16a の CORD IC 153 を兼用する。

WO 2004/004270 A1



(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 *PCT* ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

受信装置

5 技術分野

本発明は、携帯電話やその基地局などにおいて受信信号のA G C (Auto Gain Control)、キャリア周波数オフセット補正、チャネル歪補正、最大比合成を行う受信装置に関する。

10 背景技術

図7に従来の一般的なMブランチ最大比合成ダイバーシチ受信装置のブロック図を示す。図7では、データシンボルに対して一定振幅を有する既知シンボルが挿入された（連続挿入でもランダム挿入でも良いが、挿入位置は既知とする）信号をM本の受信アンテナ1で受信し、M個の
15 受信処理回路2（Br_k：k=0、1、…、M-1と表示）を経て最大比合成回路3で最大比合成し、次いで軟判定ビタビ復号器4で軟判定ビタビ復号している。

各ブランチの受信処理回路2は、受信周波数をシンセサイザ20の局部発振周波数により変換するRX（無線受信回路）11、GCA（Gain
20 Controlled Amplifier）12、直交検波器13、A/D変換器14、レベル測定回路15、周波数オフセット（ Δf ）検出回路16、周波数補正回路17、チャネル（c.h）歪検出回路18、チャネル（c.h）歪補正回路19などで構成される。なお、A/D変換器14より右側に配置されているデジタル回路はハードウェアでもファームウェアでも実現
25 可能だが、本明細書においてはハードウェアで実現するものとして説明する。

図 7 において、まず、A G Cを行うために、レベル測定回路 1 5 は各 A / D 変換出力点で上記既知シンボルの受信振幅を測定する。そしてこれらの測定値を元に A G C 制御回路 2 1 が G C A 1 2 の制御量（全ブランチ共通）を決定して D / A 変換器 2 2 を介して G C A 1 2 にフィードバックすることにより A G C を実現する。A G C は端末の移動に伴う距離変動や地物によるシャドウイングで生ずるレベル変動に伴って、量子化誤差が信号の S N 比を劣化させないように A / D 変換入力振幅が適切な範囲になるよう制御するためのもので、一般に応答速度は数秒程度とかなり緩慢でよい。

次にキャリア周波数オフセット補正を行うために、周波数オフセット検出回路 1 6 は、上記既知シンボルの位相回転速度を検出し、平均化することにより周波数オフセット Δf を求め、この値に基づいて周波数補正回路 1 7 でオフセットを打消す。これにより周波数補正処理の出力点での信号は、緩慢な振幅変動と位相回転が除かれ、フェージングなどによる数 1 0 0 H z 程度の瞬時レベル変動と一定の位相歪だけが残留している。

そこで、チャネル歪補正を行うために、チャネル歪検出回路 1 8 は上記既知シンボルに重畳している瞬時レベル変動と一定の位相歪を検出し、チャネル歪補正回路 1 9 で受信シンボルからこれらを除く。以上のようにして各ブランチの受信シンボルは振幅・位相・周波数が補正され、最大比合成回路 3 では各ブランチの S N 比に比例した係数で重み付けを行いながら受信シンボルを複素加算することにより S N を向上できる。

以下、各回路の詳細を従来例に基づいて説明する。図 8 はレベル測定回路 1 5、周波数オフセット検出回路 1 6、周波数補正回路 1 7 の従来例である。同図において、レベル測定回路 1 5 は A / D 変換された I、

Q信号の内、既知シンボルをスイッチSW1にて取り込み、式(1)の振幅が計算される。

$$\sqrt{I^2 + Q^2} \quad (1)$$

- 一方、周波数オフセット検出回路16も同様にスイッチSW1にて既知シンボルを取り込む。そして、シンボル同期の精度が十分でないときはスイッチSW2をa側(A/D変換器出力側)に接続することにより、受信既知シンボルと1シンボル前の受信既知複素共役シンボルとの複素乗算を行うと、その積の複素数が有する位相として1シンボル時間当たりの瞬時位相回転量が得られ、これを平均化して周波数オフセット値 Δf とする。ただし、この方法による低SN時の検出精度は著しく劣化するので、高精度のシンボル同期が得られているときには、スイッチSW2をb側(既知シンボルテーブル16a側)に接続し、受信既知シンボルと既知複素共役シンボルの複素乗算を行い、その積の複素数が有する位相として瞬時位相誤差を得る。そして、最小2乗法により時間に対する位相誤差の傾きを瞬時位相回転速度として求め、平均化して周波数オフセット値とする。これら瞬時位相回転速度は小振幅時の値は除きながら平均化し、周波数オフセット値 Δf とする。なお、受信振幅が小さく瞬時位相回転速度の値に信頼性がないと判断できるものは平均化処理から除いている。
- そして周波数補正回路17では、例えば、sin、cosテーブル17cを参照して発生させたオフセット周波数の正弦波・余弦波信号対で

受信シンボルを複素除算することにより周波数オフセット Δf をキャンセルする。

- 図 9 はチャネル歪検出回路 18、チャネル歪補正回路 19 の従来例である。チャネル歪は受信既知シンボル (I_P 、 Q_P) を既知シンボル (P_r 、 P_i) によって複素除算したときの商として得られるが、同図ではテーブル値を工夫して式 (2) のように複素乗算で実行しており、この商を平均化してチャネル歪 (dI 、 dQ) としている。

$$\frac{I_P + jQ_P}{P_r + jP_i} = \frac{(I_P + jQ_P)(P_r - jP_i)}{P_r^2 + P_i^2} = (I_P + jQ_P) \times \left(\frac{P_r}{P_r^2 + P_i^2} - j \frac{P_i}{P_r^2 + P_i^2} \right) \quad (2)$$

- すると、チャネル歪補正回路 19 では受信シンボル (I 、 Q) をこのチャネル歪 (dI 、 dQ) で複素除算することにより式 (3) のように複素乗算と実数除算に分けて歪を補償する (dI 、 dQ は既知シンボルのように固定値ではないので式 (2) のようには実行できない)。

$$\frac{I + jQ}{dI + jdQ} = (I + jQ)(dI - jdQ) \times \frac{1}{dI^2 + dQ^2} \quad (3)$$

- 図 10 は最大比合成回路 3 の従来例である。M ブランチ最大比合成ダイバーシチは、各ブランチの受信信号を r_i ($i = 1, 2, \dots, M$)、各ブランチの伝送係数を α_i (複素数) とするとき、 $\sum \alpha_i^* \times r_i$ (α_i^* は α_i の共役複素数) と合成するもので、各ブランチの位相を揃えてから SN 比に比例した重み付けをしながら加算を行うことに相当する。ここで α の絶対的な値は問題ではなく、各ブランチ間での相対値が正

確であることが要求されるので、実際には全入力電力の和と合成出力電力が一致するように次式（４）のように正規化された係数を用いて合成する。

$$\sum_{i=0}^{M-1} \frac{\alpha_i}{A} \times r_i, \quad A = \sqrt{\sum_{k=0}^{M-1} \|\alpha_k\|^2} \quad (4)$$

- 5 なお、チャネル歪補正出力点では各ブランチの受信信号を r_i ($i = 1, 2, \dots, M$) の位相は一致しているので、同図においては式（５）のみを実行している。

$$\sum_{i=0}^{M-1} \frac{\|\alpha_i\|}{A} \times r_i, \quad A = \sqrt{\sum_{k=0}^{M-1} \|\alpha_k\|^2} \quad (5)$$

- しかしながら、上記従来の受信装置のレベル測定回路 15、周波数オフセット検出回路 16、周波数補正回路 17、チャネル歪検出回路 18、チャネル歪補正回路 19 及び最大比合成回路 3 では、直交座標上で計算を実行するため、所要演算量や所要演算ビット長が大きくなったり、大きなテーブルメモリが必要になったりして回路の小型化が困難になるという問題があった。

- 15 例えば図 8 に示すレベル測定回路 15 では、式（１）の平方根の中身

は振幅値を2乗した電力値であるため、振幅値と同じダイナミックレンジを確保するためには2倍のビット長で表現する必要があり、図8のような平方根回路15bは入力ビットが2倍になるため、単精度乗算器の約4倍もの規模の回路が必要になる。

- 5 また周波数オフセット検出回路16で行う複素乗算も、実数乗算を4回実行して行う必要がある。そして、周波数補正回路17では、正弦波・余弦波対の発生にsin、cosテーブル17c用のメモリが必要な上に、sin、cosテーブル17cで表現できる周波数分解能でしか正弦波・余弦波対を発生できないため、誤差を伴うという問題がある。
- 10 図9に示すチャネル歪検出回路18も、複素乗算を行うために実数乗算を4回実行する必要がある。そしてチャネル歪補正回路19では、式(3)の複素乗算と実数除算を行うが、実数除算ではレベル測定回路15の式(1)と同型である除数は大きなビット長が必要になる上に、被除数と共に正規化する処理が必要になるため、回路の簡略化・小型化が
- 15 困難である。

- 図10に示す最大比合成回路3では、明らかに多くの平方根回路3bが用いられ小型化が困難である。とりわけ、式(5)におけるAの計算では、平方根の中がM個の電力和のため、振幅表現の場合よりも $2\sqrt{M}$ 倍のビット長が必要になり、平方根回路3bの規模は単精度乗算器の約
- 20 $4M$ 倍になる。したがって、Mが大きくなるほど回路の小型化が困難になるという問題があった。

発明の開示

- 本発明は、上記従来の問題を解決するもので、加減算とシフトのみで
- 25 実行が可能なCORDIC (Coordinate Rotation Digital Computer) アルゴリズムが直交座標／極座標変換、複素数乗除算及び正弦波・余弦

波信号発生などに適することに着目し、これを直交座標信号である同相・直交信号（以下 I、Q 信号）に対する A G C、A F C（Auto Frequency Control）、チャネル推定・補償及び最大比合成ダイバーシチ処理に適用することにより、小型化することができる受信装置を提供することを

5 目的とする。

本発明は上記目的を達成するために、A G C 信号に基づいて受信信号を増幅する増幅手段と、

一定振幅である既知シンボルの受信振幅を算出する C O R D I C 手段と、

- 10 前記 C O R D I C 手段により算出された受信振幅に基づいて前記 A G C 信号を生成して前記増幅手段に印加する制御手段とを、

有する構成とした。

上記構成により、C O R D I C 手段により受信振幅を算出するので、受信装置を小型化することができる。

- 15 また本発明は、請求項 1 に記載の受信装置において、キャリア周波数のオフセットを打ち消すキャリア周波数補正手段を更に備え、前記 C O R D I C 手段が受信既知シンボルの遅延検波出力及び既知シンボルとの相関出力から前記キャリア周波数オフセットを検出することを特徴とする。

- 20 上記構成により、C O R D I C 手段を受信振幅算出回路とキャリア周波数オフセット検出回路に兼用するので、受信装置を小型化することができる。

また本発明は、キャリア周波数のオフセットを検出する手段と、

前記検出されたキャリア周波数のオフセットに応じた正弦波・余弦波

- 25 を発生して周波数オフセット補正処理を行う C O R D I C 手段とを、

有する構成とした。

上記構成により、CORDIC手段により周波数オフセットを補正するので、受信装置を小型化することができる。

また本発明は、受信既知シンボルを既知シンボルで複素除算してチャネル歪を検出するCORDIC手段と、

- 5 前記検出したチャネル歪を補償するCORDIC手段とを、
有する構成とした。

上記構成により、CORDIC手段によりチャネル歪を検出して補償するので、受信装置を小型化することができる。

- また本発明は、CORDICを基本セルとするシストリックアレイアーキテクチャで各ブランチの受信信号の出力振幅を正規化しながら最大比合成ダイバーシチ処理する手段を有する構成とした。
- 10

上記構成により、CORDIC手段により最大比合成ダイバーシチ処理するので、受信装置を小型化することができる。

15 図面の簡単な説明

図1は、本発明の受信装置の実施の形態におけるレベル測定回路、周波数オフセット検出回路、周波数補正回路を示すブロック図、

図2は、図1の周波数補正回路の変形例を示すブロック図、

- 図3は、本発明の受信装置の実施の形態におけるチャネル歪検出回路、
20 チャネル歪補正回路を示すブロック図、

図4は、本発明の受信装置の実施の形態における最大比合成回路を示すブロック図、

図5は、本発明の受信装置の実施の形態において用いられるCORDICアルゴリズムの原理を示す説明図、

- 25 図6Aは、本発明の受信装置の実施の形態において用いられるCORDICの一例を示すブロック図、

図 6 B は、本発明の受信装置の実施の形態において用いられる C O R D I C の別の例を示すブロック図、

図 7 は、従来の一般的な受信装置を示すブロック図、

図 8 は、従来のレベル測定回路、周波数オフセット検出回路、周波数
5 補正回路を示すブロック図、

図 9 は、従来のチャネル歪検出回路、チャネル歪補正回路を示すブロック図、

図 1 0 は、従来の最大比合成回路を示すブロック図である。

10 発明を実施するための最良の形態

以下、図面を参照して本発明の実施の形態について説明する。本発明は加減算とシフトのみで直交座標／極座標変換の実行が可能な C O R D I C (Coordinate Rotation Digital Computer) アルゴリズムを用いて A G C、A F C、チャネル推定・補償及び最大比合成ダイバーシチ処理
15 を極座標上で行うようにしたものである。なお、C O R D I C は、多くの初等関数を統一的に計算できるアルゴリズムとして従来より電卓などで広く用いられてきた。

一方、無線通信の受信機では、信号を $I(t) + jQ(t) = R(t)e^{j\theta(t)}$ のように表される複素数に関して、直交座標表現の $I(t)$ 、 $Q(t)$ に対して演算
20 を行うことが多い。しかしながら、実際には極座標値 $R(t)$ 、 $\theta(t)$ を用いる処理や、極座標上で計算すると所要演算量や所要演算ビット長を低減できる処理も多い。後者の例では、

①複素乗算は直交座標上では 4 回の実乗算の実行が必要だが、極座標上では 1 実乗算でよい、

25 ②複素除算は直交座標上では複素乗算と 2 実除算の実行が必要であるが、極座標上では 1 実除算でよい、

③振幅値の計算は極座標上では2倍の演算ビット長が必要になる電力値を求めてから平方根計算を行う必要があるが、CORDICを用いて極座標値を求める場合は加減算とシフトで演算ビット長を大きく増加させることなく直接振幅値を求めることができる、

- 5 5 などである。さらに正弦波・余弦波を用いる処理では、CORDICでこれらを発生させながら実行することによってテーブルを不要にし、回路の小型化を図ることができる。

そこで、図8に示した受信装置のレベル測定回路、周波数オフセット検出回路、周波数補正回路において、各々にCORDICアルゴリズム
10 を適用することにより、従来に比べて以下の特長が得られる。

(1) 受信既知シンボルの振幅に関して、CORDICで直接計算することにより、所要演算ビット数の増加を抑えるとともに、平方根回路を削減できる。

(2) 受信既知シンボルの振幅と周波数オフセット量の計算は、CORDICを共用して実行可能である。
15 D I C

(3) 周波数オフセット補正処理に必要な正弦波・余弦波対をCORDICで発生させることにより、テーブルメモリを不要にするとともに、発生する周波数精度を向上させることができる。

図1は本発明の受信装置の実施の形態におけるレベル測定回路15a
20 、周波数オフセット検出回路16a、周波数補正回路17aを示すブロック図である。本回路15a、16a、17aは、スイッチSW1でA/D変換器14からの受信既知シンボルを選択入力し、以下の手順で動作する。

(1) 受信振幅の計算

25 レベル測定回路15aはスイッチSW1、SW2、SW3と、既知シンボルテーブル151と、レジスタ(T)152I、152Q、154

とCORDIC153などにより構成される。なお、遅延メモリ30はレベル測定回路15a、周波数オフセット検出回路16aの処理時間だけA/D変換器14の出力を遅延して周波数補正回路17aに出力する。まず、スイッチSW2、SW3、SW4を全てa側（A/D変換器14出力I、Q側）に接続し、受信既知シンボルをCORDIC153に通過させて直交座標／極座標変換を行うと、受信既知シンボルの位相は変換時の加減算パターンとしてCORDIC153に記憶され、一方受信既知シンボルの振幅はCORDIC153のI出力に現れる。そこで振幅値をレジスタ154を経て図7に示すAGC制御回路21に出力する。

（2）周波数オフセットの計算（シンボル同期精度が低いとき）

周波数オフセット検出回路16aはレベル測定回路15aと兼用するCORDIC153と、平均化又は傾斜検出回路161と低レベル検出回路162により構成されている。スイッチSW3のみb側（A/D変換器出力側）に接続し、1シンボル時間前の受信共役複素既知シンボルをCORDIC153に通過させる。このとき上記（1）受信振幅の計算によりCORDIC153内に記憶されている加減算パターンに従って操作することにより、CORDIC153のI、Q出力の位相量は、受信既知シンボルの1シンボル時間前からの位相変化量を表す。そこで、CORDIC153のI、Q出力を平均化又は傾斜検出回路161により平均化して周波数オフセット値（1シンボル時間当たり位相変化量）とする。

（2a）周波数オフセットの計算（シンボル同期精度が高いとき）

スイッチSW2をb側（既知シンボルテーブル151側）、スイッチSW3をb側（A/D変換器出力側）に接続し、共役複素既知シンボルをCORDIC153に通過させる。このとき上記（1）受信振幅の計算

によりCORDIC153内に記憶されている加減算パターンに従って操作することにより、CORDIC153のI、Q出力の位相量は、受信既知シンボルの瞬時位相誤差を表す。そこで最小2乗法により時間に対する瞬時位相誤差の傾きを瞬時位相回転速度として求め、平均化して

5 周波数オフセット値とする。なお、従来と同様、受信振幅が小さく瞬時位相回転速度の値に信頼性がないと判断できるものは低レベル検出回路162によって検出され、平均化处理から除かれる。

(3) 周波数オフセットの補正

周波数補正回路17aは、スイッチSW4と、CORDIC171と

10 、加減算パターンメモリ172と、レジスタ173I、173Qなどにより構成されている。周波数オフセット値が求まったら、スイッチSW4をa側(平均化又は傾斜検出回路161側)に接続してCORDIC171に通過させて直交座標/極座標変換を行うと、1シンボル時間の平均位相変化量(つまり周波数オフセット量)の極性反転値 $-\Delta f$ が変

15 換時の加減算パターンとしてCORDIC171内部に形成されるので、これを加減算パターンメモリ172に記憶させる。次に2つの外部レジスタ173I、173Qに初期値としてそれぞれ1、0をセットし、以下の手順を繰り返す。

ステップ1：(正弦波、余弦波対の発生)

20 加減算パターンメモリ172から $-\Delta f$ 値をCORDIC171にロードし、スイッチSW4をb側に接続して外部レジスタ173I、173Qの値をCORDIC171に通過させて更新する($-\Delta f$ 位相が進んだ正弦波、余弦波対の振幅が得られる)。

ステップ2：(正弦波、余弦波対の位相計算)

25 再度外部レジスタ173I、173Qの値をCORDIC171に通過させて直交座標/極座標変換を行って、その位相を加減算パターンと

してCORDIC171内部に保持させる。

ステップ3：(受信シンボルの周波数補正)

スイッチSW4をc側(A/D変換器出力側)に接続し、受信シンボルをCORDIC171に通過させる。

- 5 なお、上記のような方法で正弦波、余弦波対を発生させると、CORDIC演算の誤差が蓄積して大きな歪を生ずるようになることが知られている。しかし、デジタル無線通信では多くの場合、 Δf の値を頻繁に更新しCORDIC171をリセットするため問題にはならない。ただし、容易にリセットを行えない場合は、CORDIC171への Δf
- 10 入力を直交座標値でなく位相値にして、1サンプル前に正弦波、余弦波対を計算したときの残留位相誤差も含めて現時刻の正弦波、余弦波対を計算するように(これは誤差フィードバックと言われている)すればよいことが知られている。この場合の周波数補正回路17bは図2のような構成になる。
- 15 図1と図8を比べて明らかなように、本発明の受信装置では、受信既知シンボルの振幅と位相変化の計算にCORDIC153を共用し、平方根回路15b(図8)を削減できる。さらに正弦波・余弦波対と周波数補正処理でCORDIC171を共用し、正弦波・余弦波テーブル17cを削減できる。
- 20 また、図7に示した受信装置のチャネル歪検出回路、チャネル歪補正回路において、各々にCORDICアルゴリズムを適用することにより、従来に比べて以下の特長が得られる。
- (4) チャネル歪検出のための複素除算(係数テーブルの工夫にて複素乗算にしている)が、実乗算器4個の代わりにCORDIC1個で計
- 25 算できる。

(5) チャネル歪補正のための複素除算をCORDICを用いて実行

することにより、所要演算ビット数の増加を抑え、平方根回路を削減できる。

図3は本発明の受信装置の実施の形態におけるチャネル歪検出回路18a、チャネル歪補正回路19aを示すブロック図である。チャネル歪検出回路18aはスイッチSW5と、既知シンボル位相加減算パターンテーブル181と、CORDIC182と、平均化回路183により構成される。チャネル歪補正回路19aはスイッチSW6と、CORDIC191と、レジスタ192と、割算器193I、193Qなどにより構成される。本回路18a、19aは、スイッチSW5でA/D変換器14からの受信既知シンボルを選択入力し、以下の手順で動作する。

(4) チャネル歪検出の計算

チャネル歪補正回路19aのスイッチSW6をa側（チャネル歪検出回路18a側）に接続し、また、CORDIC182に共役複素既知シンボル位相を表す加減算パターンを既知シンボル位相加減算パターンテーブル181からセットする。受信既知シンボルをCORDIC182に通過させたときの出力は瞬時チャネル歪を表し、これを平均化してチャネル歪とする。

(5) チャネル歪の直交座標／極座標変換

上記(4)チャネル歪検出の計算で検出したチャネル歪をCORDIC191に通過させて直交座標／極座標変換を行うと、チャネル歪の位相は変換時の加減算パターンとしてCORDIC191内部に記憶される。一方CORDIC191のI出力に現れるチャネル歪の振幅は外部レジスタ192に記憶される。

(5a) チャネル歪補正の計算

スイッチSW6をb側（A/D変換器出力側）に接続し、受信シンボルをCORDIC191に通過させると位相歪が補正される。次に割算

器 1 9 3 I、1 9 3 Qにより、それぞれCORDIC 1 9 1のI出力、Q出力を外部レジスタ 1 9 2に記憶されている振幅歪で除算して補正する。

- 5 なお、上記処理について、以下に説明を補足する。まず、チャネル歪
検出処理は、従来例の式(2)でも示したように複素除算にて行うことができるが、上記(4)チャネル歪検出の計算ではCORDICによる回転演算しか行っていないので位相歪は正しく検出できるが、振幅歪は除算されないために既知シンボル振幅倍で現れる。しかし既知シンボル振幅が一定であれば、このようにその大きさが既知の定数倍の誤差は他の
10 処理では問題にならないのでそのままにしている。

これに対してチャネル歪補正処理も従来例の式(3)に示した複素除算で行われるが、除数に変数(チャネル歪)なので簡単には行かない。
ところで、この複素除算の商は式(6)のように表わされる。

$$\begin{aligned}\frac{I+jQ}{dI+jdQ} &= \frac{(I+jQ)(dI-jdQ)}{dI^2+dQ^2} = \frac{(dI \cdot I + dQ \cdot Q) + j(-dQ \cdot I + dI \cdot Q)}{dI^2+dQ^2} \\ \operatorname{Re}\left[\frac{I+jQ}{dI+jdQ}\right] &= \frac{dI}{dI^2+dQ^2} \cdot I + \frac{dQ}{dI^2+dQ^2} \cdot Q = \frac{1}{dR}(\cos\phi \cdot I + \sin\phi \cdot Q) \\ \operatorname{Im}\left[\frac{I+jQ}{dI+jdQ}\right] &= \frac{-dQ}{dI^2+dQ^2} \cdot I + \frac{dI}{dI^2+dQ^2} \cdot Q = \frac{1}{dR}(-\sin\phi \cdot I + \cos\phi \cdot Q)\end{aligned}$$

したがって、

$$\begin{bmatrix} \operatorname{Re}\left[\frac{I+jQ}{dI+jdQ}\right] \\ \operatorname{Im}\left[\frac{I+jQ}{dI+jdQ}\right] \end{bmatrix} = \frac{1}{dR} \begin{bmatrix} \cos\phi & \sin\phi \\ -\sin\phi & \cos\phi \end{bmatrix} \begin{bmatrix} I \\ Q \end{bmatrix} \quad \text{ここで、} \quad dR = \sqrt{dI^2+dQ^2}, \quad \phi = \arctan \frac{dQ}{dI}$$

(6)

- 15 式(6)において、行列乗算の部分はCORDICで行う回転演算そのものであるから、あとは外部レジスタ 1 9 2に記憶されているチャネ

ル振幅歪 dR で実除算を行えば複素除算が行える。

- 図 3 と図 7 を比べて明らかなように、本発明の受信装置では、チャンネル歪検出処理の複素乗算を CORDIC 演算 1 回で行い乗算器 4 個を削減できる。さらにチャンネル歪補正の複素除算を CORDIC で実行することにより、平方根回路を削減できる。

さらに、受信装置の最大比合成回路に CORDIC アルゴリズムを適用すると、従来に比べて以下の特長が得られる。

- ・ M ブランチの最大比合成が、CORDIC のツリー構成で実現できる。
- 10 ・ 平方根回路が不要になる。

- 図 4 は本発明の受信装置の実施の形態における最大比合成回路 3 a を示すブロック図である。図 4 に示す最大比合成回路 3 a は、M チャンネルのスイッチ SW 7、CORDIC 31 ~ 3M 及びレジスタ T b、T a、T c を有し、さらに各チャンネルのレジスタ T b、T a、T c の出力を処理するスイッチ SW 8、SW 9 及び CORDIC 200 を有する。本回路 3 a は、M 組のチャンネル歪補正出力、 $r_i (= I_i + jQ_i)$ 、次式 (7) の dR_i

$$dR_i (= \sqrt{dI_i^2 + dQ_i^2}) \quad (7)$$

- ($i = 0, 1, 2, \dots, M-1$) を受信し、従来例でも示したように各ブランチにその SN 比に比例した重みを掛けて式 (8) のように加算する。なお、チャンネル振幅歪 dR は「受信シンボル振幅 / 送信シンボル振幅」の比を表すので、SN 比に比例する量である。

$$\sum_{i=0}^{M-1} \frac{dR_i}{A} \times r_i, \quad A = \sqrt{\sum_{k=0}^{M-1} dR_k^2} \quad (8)$$

式(8)において $M=2$ の場合の合成出力は式(9)になり、これはCORDICに位相 ϕ の加減算パターンを記憶させ、 (I_0, I_1) 及び (Q_0, Q_1) を通過させたときの I 出力として得られる。

$$\frac{dR_0}{\sqrt{dR_0^2 + dR_1^2}} r_0 + \frac{dR_1}{\sqrt{dR_0^2 + dR_1^2}} r_1 = \cos \phi \cdot r_0 + \sin \phi \cdot r_1, \quad \phi = \arctan \frac{dR_1}{dR_0} \quad (9)$$

5

次に $M=3$ の場合も、式(10)と式(11)のように $M=2$ の場合の最大比合成の組合せで表すことができるので、CORDICの適用が可能である。したがって、数学的帰納法により、任意の M に対してCORDICの適用が可能である。

$$\begin{aligned}
& \frac{dR_0}{\sqrt{dR_0^2 + dR_1^2 + dR_2^2}} r_0 + \frac{dR_1}{\sqrt{dR_0^2 + dR_1^2 + dR_2^2}} r_1 + \frac{dR_2}{\sqrt{dR_0^2 + dR_1^2 + dR_2^2}} r_2 \\
&= \frac{\sqrt{dR_0^2 + dR_1^2}}{\sqrt{dR_0^2 + dR_1^2 + dR_2^2}} r_1' + \frac{dR_2}{\sqrt{dR_0^2 + dR_1^2 + dR_2^2}} r_2 \\
&= \cos \phi_1 \cdot r_0 + \sin \phi_1 \cdot r_1, \quad \phi_1 = \arctan \frac{dR_2}{\sqrt{dR_0^2 + dR_1^2}} \quad (10)
\end{aligned}$$

$$r_1' = \frac{dR_0}{\sqrt{dR_0^2 + dR_1^2}} r_0 + \frac{dR_1}{\sqrt{dR_0^2 + dR_1^2}} r_1 = \cos \phi \cdot r_0 + \sin \phi \cdot r_1, \quad \phi = \arctan \frac{dR_1}{dR_0} \quad (11)$$

図4におけるCORDIC31によるブランチ0と1の最大比合成を説明する。

- (1) スイッチSW7の入力をa側(チャネル振幅歪dR)に接続して
 5 ベクトル(dR₀、dR₁)をCORDIC31に通過させて直交座標／極座標変換を行うと、ベクトル位相は変換時の加減算パターンとしてCORDIC31内部に記憶され、一方CORDIC31のI出力に現れるベクトル振幅

$$\sqrt{dR_0^2 + dR_1^2} \quad (12)$$

10 は外部レジスタTaに記憶される。

(2) スイッチ SW7 の入力を b 側 (I 側) に接続してベクトル (I_0 、 I_1) を CORDIC 31 に通過させると最大比合成出力の同相出力が CORDIC 31 の I 出力に現れ、外部レジスタ T b に記憶される。

(3) スイッチ SW7 の入力を c 側 (Q 側) に接続してベクトル (Q_0 、 Q_1) を CORDIC 31 に通過させると最大比合成出力の同相出力が CORDIC 31 の I 出力に現れ、外部レジスタ T c に記憶される。

こうして得られるレジスタ T b、T c の出力は 2 ブランチ最大比合成出力であるが、図 4 では外部レジスタ T a、T b、T c を用いてパイプライン動作するツリー構成にて 2 ブランチずつ段階的に合成し、M ブランチ最大比合成を実行する。

図 4 と図 10 を比べて明らかなように、本発明の受信装置では、CORDIC を用いたことにより、図 10 に示す平方根回路 3 b の数を大幅に削減できる。さらに電力表現 (例えば、M 個の電力和) を用いずに 2 ブランチずつ合成するため所要演算ビット数が局所的に増大することもなく、規則的に回路実現できる。

次に CORDIC アルゴリズムの概要について説明する。図 5 に示すように平面上に直交座標値 (I_0 、 Q_0) が与えられたとき、その極座標値 (R 、 θ) は、座標が I 軸により近づくように回転方向を決めながら (つまり Q 座標値が正のときは負方向、負のときは正方向) 回転幅を狭めて行くと、I 座標値が R、その際の回転角の総和が 0 に近づいていくことは明らかである。ところで、反復回数 N 回のときの図 5 の計算は、式 (13) にて表される (式中の複号は、 Q_k : $k = 1, 2, \dots, N$ の符号に応じて逐次決定する。また θ_k : $k = 1, 2, \dots, N$ の値については後述する)。

$$\begin{aligned}
 \begin{pmatrix} I_N \\ Q_N \end{pmatrix} &= \begin{pmatrix} \cos \theta_N & \mp \sin \theta_N \\ \pm \sin \theta_N & \cos \theta_N \end{pmatrix} \begin{pmatrix} \cos \theta_{N-1} & \mp \sin \theta_{N-1} \\ \pm \sin \theta_{N-1} & \cos \theta_{N-1} \end{pmatrix} \cdots \begin{pmatrix} \cos \theta_1 & \mp \sin \theta_1 \\ \pm \sin \theta_1 & \cos \theta_1 \end{pmatrix} \begin{pmatrix} I_0 \\ Q_0 \end{pmatrix} \\
 &= \prod_{k=1}^N \cos \theta_k \begin{pmatrix} 1 & \mp \tan \theta_N \\ \pm \tan \theta_N & 1 \end{pmatrix} \begin{pmatrix} 1 & \mp \tan \theta_{N-1} \\ \pm \tan \theta_{N-1} & 1 \end{pmatrix} \cdots \begin{pmatrix} 1 & \mp \tan \theta_1 \\ \pm \tan \theta_1 & 1 \end{pmatrix} \begin{pmatrix} I_0 \\ Q_0 \end{pmatrix}
 \end{aligned}
 \tag{13}$$

ここで、 $\tan \theta_k = 2^{-k}$ となるように θ_k を選ぶと式 (13) は式 (14) のように加減算とシフトで実行可能になる (振幅は最後に $1/K_N$ を掛けて補正する。 $1/K_N$ はあらかじめ計算しておくことができる)。

$$\begin{pmatrix} I_N \\ Q_N \end{pmatrix} = K_N \begin{pmatrix} 1 & \mp 2^{-N} \\ \pm 2^{-N} & 1 \end{pmatrix} \begin{pmatrix} 1 & \mp 2^{-(N-1)} \\ \pm 2^{-(N-1)} & 1 \end{pmatrix} \cdots \begin{pmatrix} 1 & \mp 2^{-1} \\ \pm 2^{-1} & 1 \end{pmatrix} \begin{pmatrix} I_0 \\ Q_0 \end{pmatrix}$$

$$\text{ただし、 } K_N = \prod_{k=1}^N \cos \theta_k, \quad \theta_k = \tan^{-1}(2^{-k})$$

(14)

5

なお逆に極座標値 (R_0, θ_0) を直交座標値 (I, Q) に変換するには、($R_0, 0$) から始めて、 θ_0 が 0 に近づく方向に逐次 θ_k 回転させてゆけばよいので同じ回路を用いて実行可能である。特に初期値を ($1, 0$) とすれば $\cos \theta_0$ と $\sin \theta_0$ が同時に計算できる。

10 このようにCORDICアルゴリズムは簡単な同一回路で多くの関数値を計算できるため、発表当初大きな反響をよんで、アポロ宇宙船の電子計算機に搭載されたり、各種電卓に用いられたりした。現在の電子計算機では多項式近似が主流になってあまり使われていないが、最近再び信号処理回路への応用が検討されてきている。

15 図6A及び図6BにCORDICのブロック図を示す。図6AのTY

PEIはCORDICの反復演算を同一回路で繰り返して行うプロセッサタイプの構成であり、図6BのTYPEIIはこれをアレイに展開したもので回路規模は実乗算器の約2個相当である。ところでCORDICアルゴリズムは前の加減算結果に基づいて次の反復計算を加算にするか減算にするか決定するために、加減算時の桁上げ伝搬遅延を無視できず、高速動作が困難である。ただし、CORDIC演算時間の短縮方法として、①桁上げ伝搬長の少ない冗長2進数の導入、②高基数演算による反復回数の低減などが提案されている。

10 産業上の利用可能性

以上のように本発明は、加減算とシフトのみで直交座標／極座標変換の実行が可能なCORDICアルゴリズムを用いてAGC、AFC、チャンネル推定・補償及び最大比合成ダイバーシチ処理を極座標上で行うので、以下のような特長が得られる。

- 15 ①レベル測定回路における振幅計算の所要演算ビットを削減し、平方根回路を削減できる。
- ②レベル測定と周波数オフセット検出をCORDICを共用して実行できる。
- ③周波数オフセット補正に必要な正弦波・余弦波対をCORDICで発生させることにより、テーブルメモリを不要にするとともに、発生する周波数精度を向上できる。
- 20 ④チャンネル歪検出のための複素乗算を実乗算器4個の代わりにCORDIC1個で計算できる。
- ⑤チャンネル歪補正のための複素除算をCORDICを用いて実行することにより、所要演算ビット数の増加を抑え、平方根回路を削減できる。
- 25 ⑥Mプランチの最大比合成が、CORDICのツリー構成で実現でき、

平方根回路を削減できる。

以上により、無線受信装置の小型化を容易に実現できる。

請 求 の 範 囲

1. AGC信号に基づいて受信信号を増幅する増幅手段と、
一定振幅である既知シンボルの受信振幅を算出するCORDIC手段
5 と、
前記CORDIC手段により算出された受信振幅に基づいて前記AGC信号を生成して前記増幅手段に印加する制御手段とを、
有する受信装置。
- 10 2. キャリア周波数のオフセットを打ち消すキャリア周波数補正手段を更に備え、前記CORDIC手段が受信既知シンボルの遅延検波出力及び既知シンボルとの相関出力から前記キャリア周波数オフセットを検出するよう構成された請求項1に記載の受信装置。
- 15 3. キャリア周波数のオフセットを検出する手段と、
前記検出されたキャリア周波数のオフセットに応じた正弦波・余弦波を発生して周波数オフセット補正処理を行うCORDIC手段とを、
有する受信装置。
- 20 4. 受信既知シンボルを既知シンボルで複素除算してチャネル歪を検出するCORDIC手段と、
前記検出したチャネル歪を補償するCORDIC手段とを、
有する受信装置。
- 25 5. CORDICを基本セルとするシストリックアレイアーキテクチャで各ブランチの受信信号の出力振幅を正規化しながら最大比合成ダイ

バーシチ処理する手段を有する受信装置。

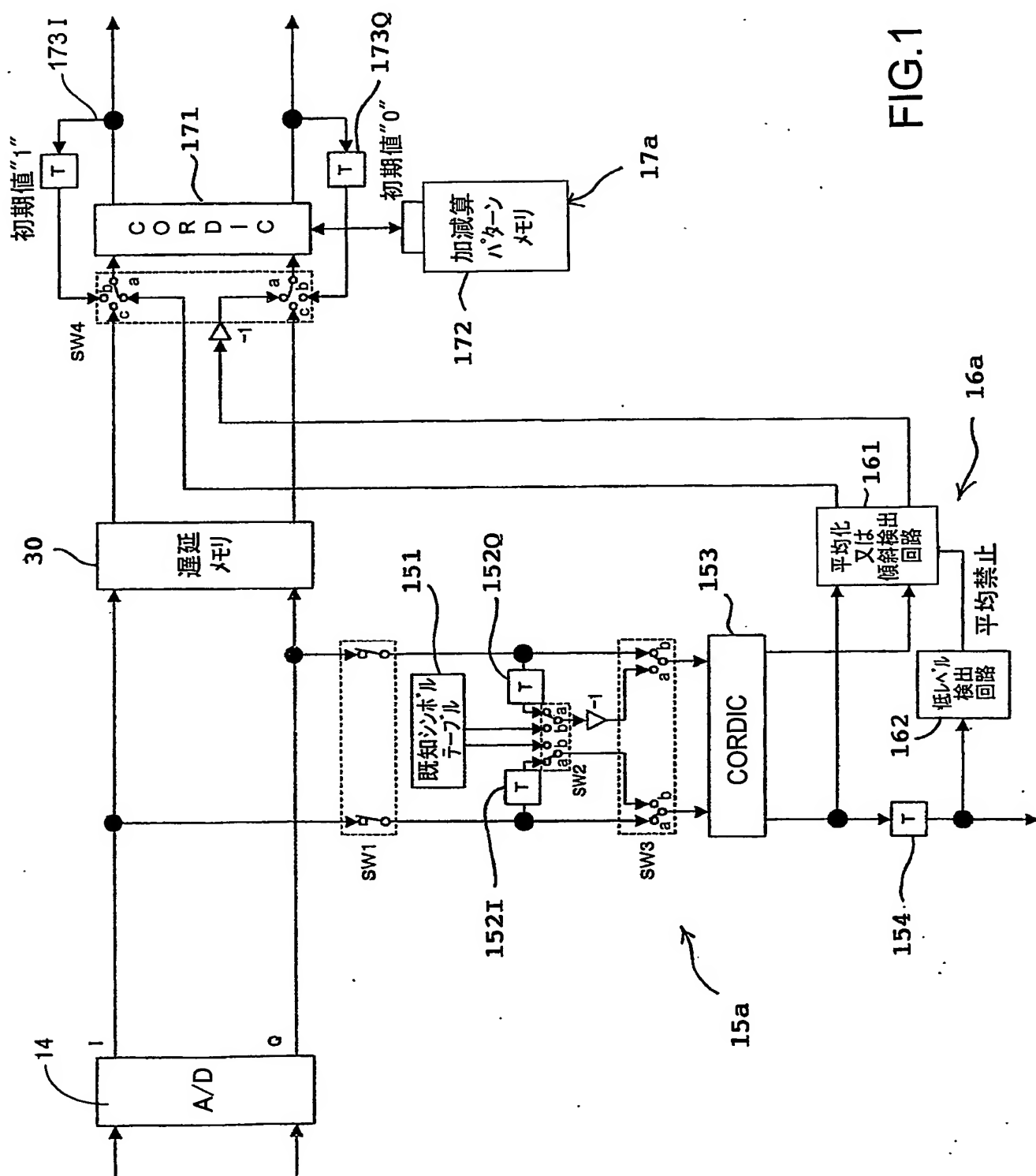
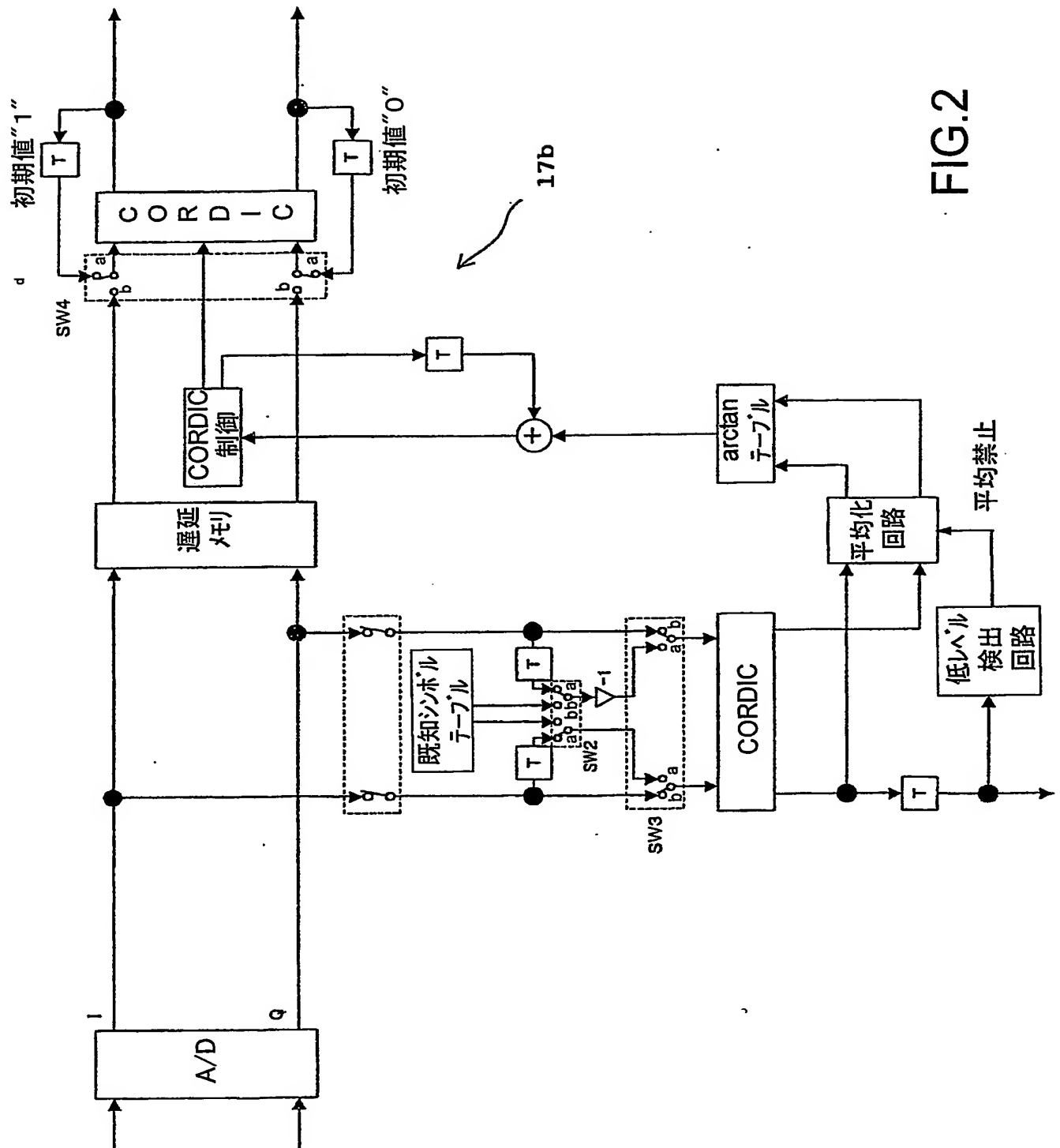


FIG. 1



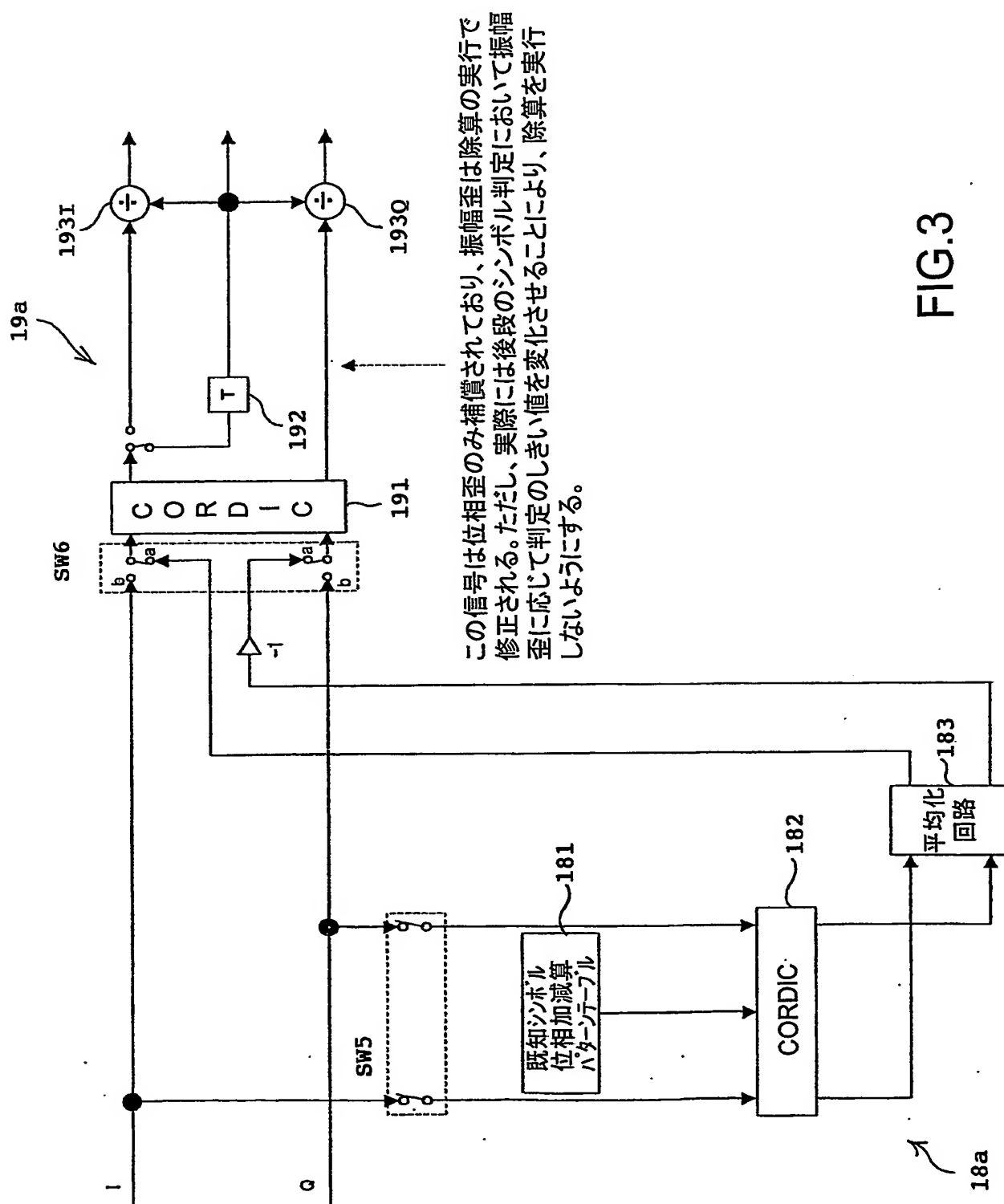


FIG. 3

CORDIC出力は、商の真値より $\sqrt{P_r^2 + P_l^2}$ 倍(定数倍)されているが、支障は無い。

FIG.4

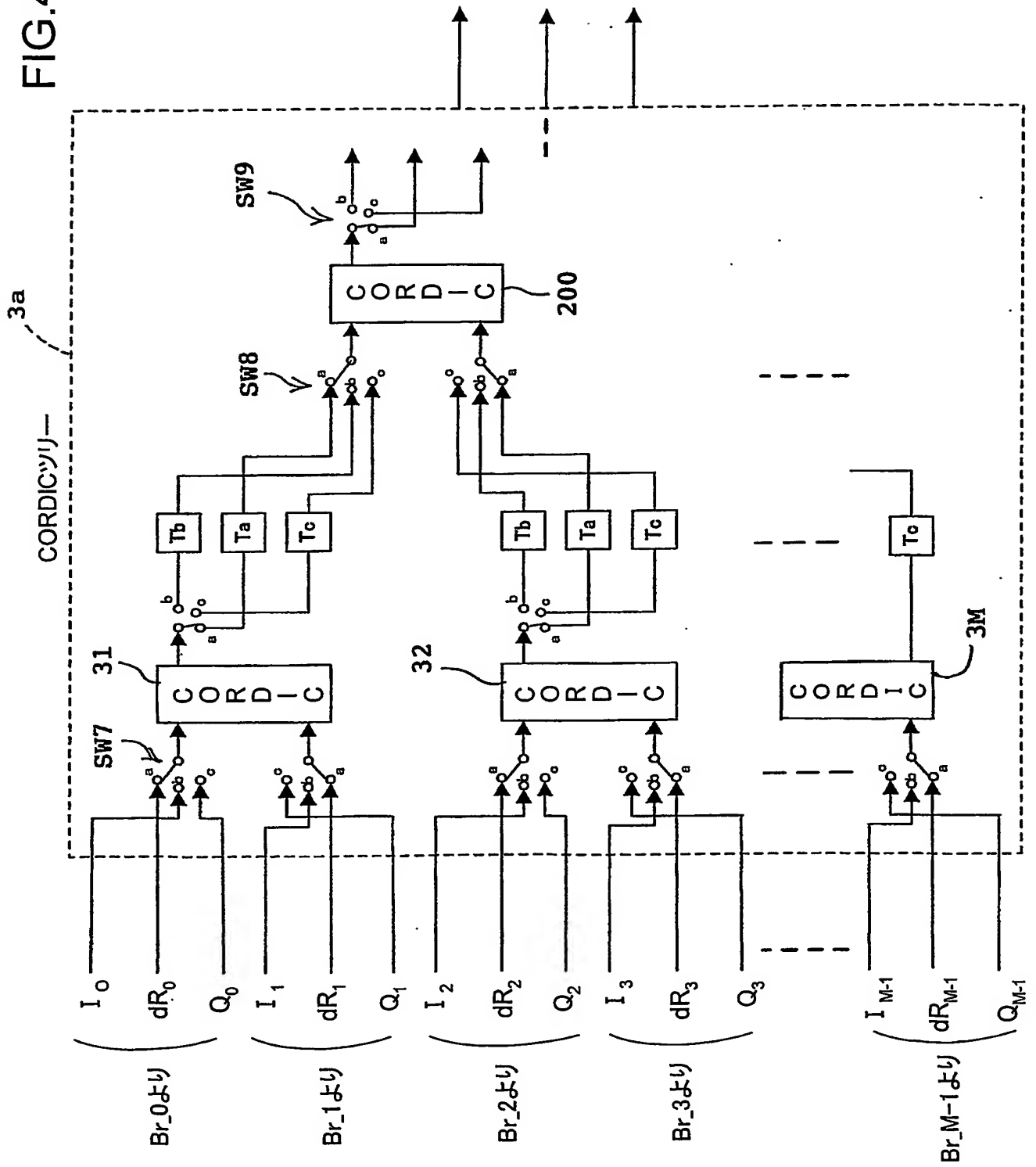


FIG.5

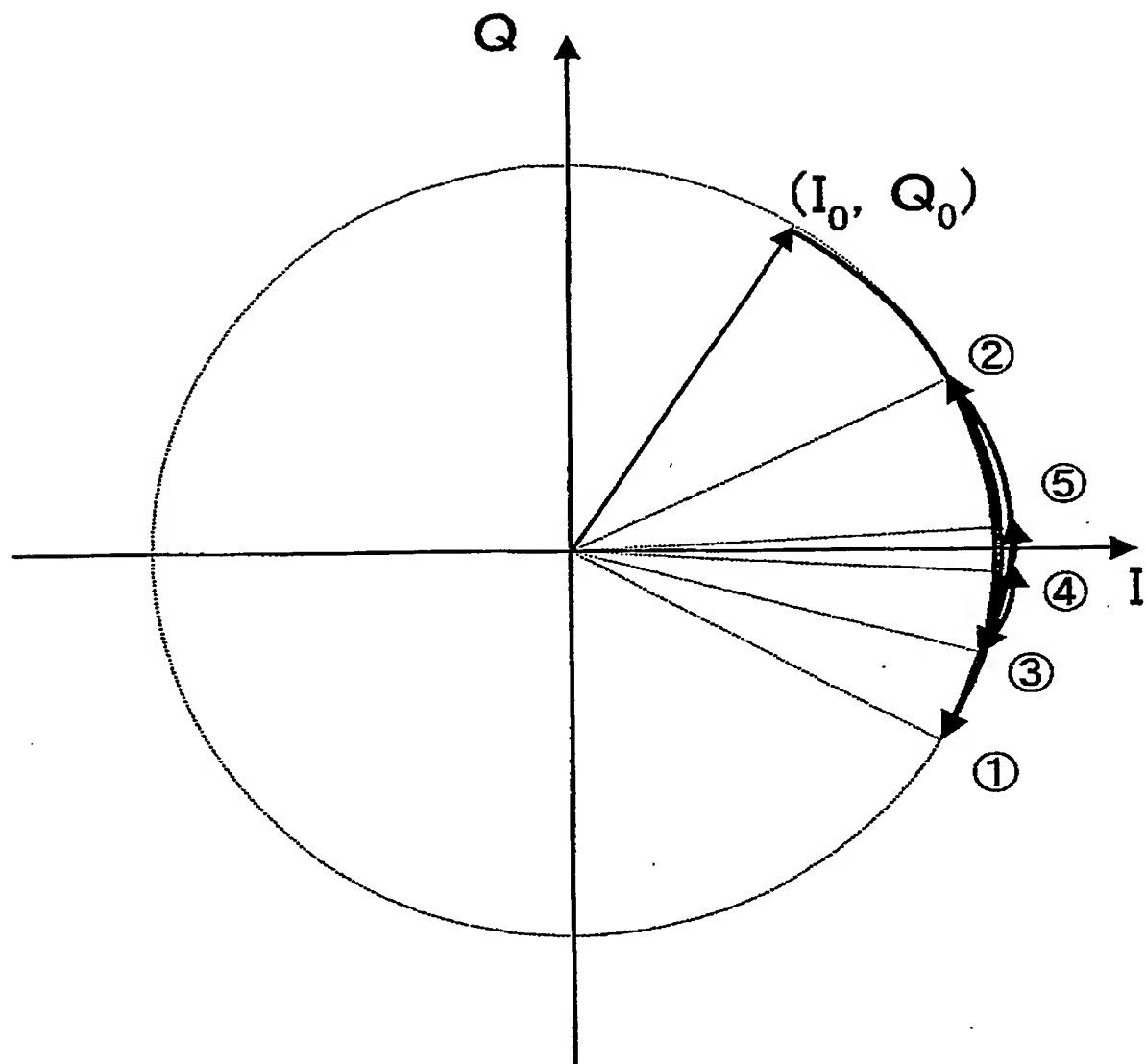


FIG. 6A

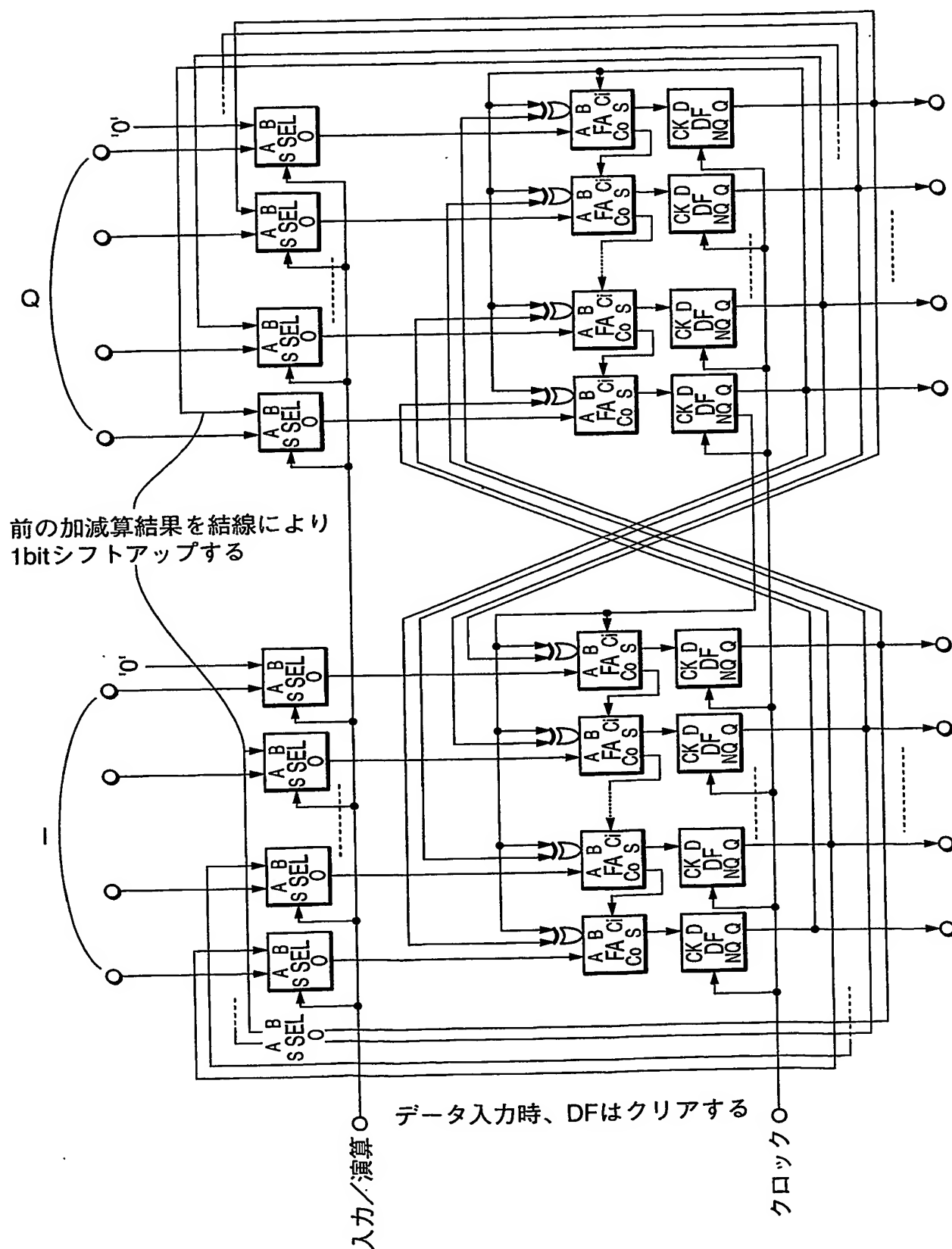
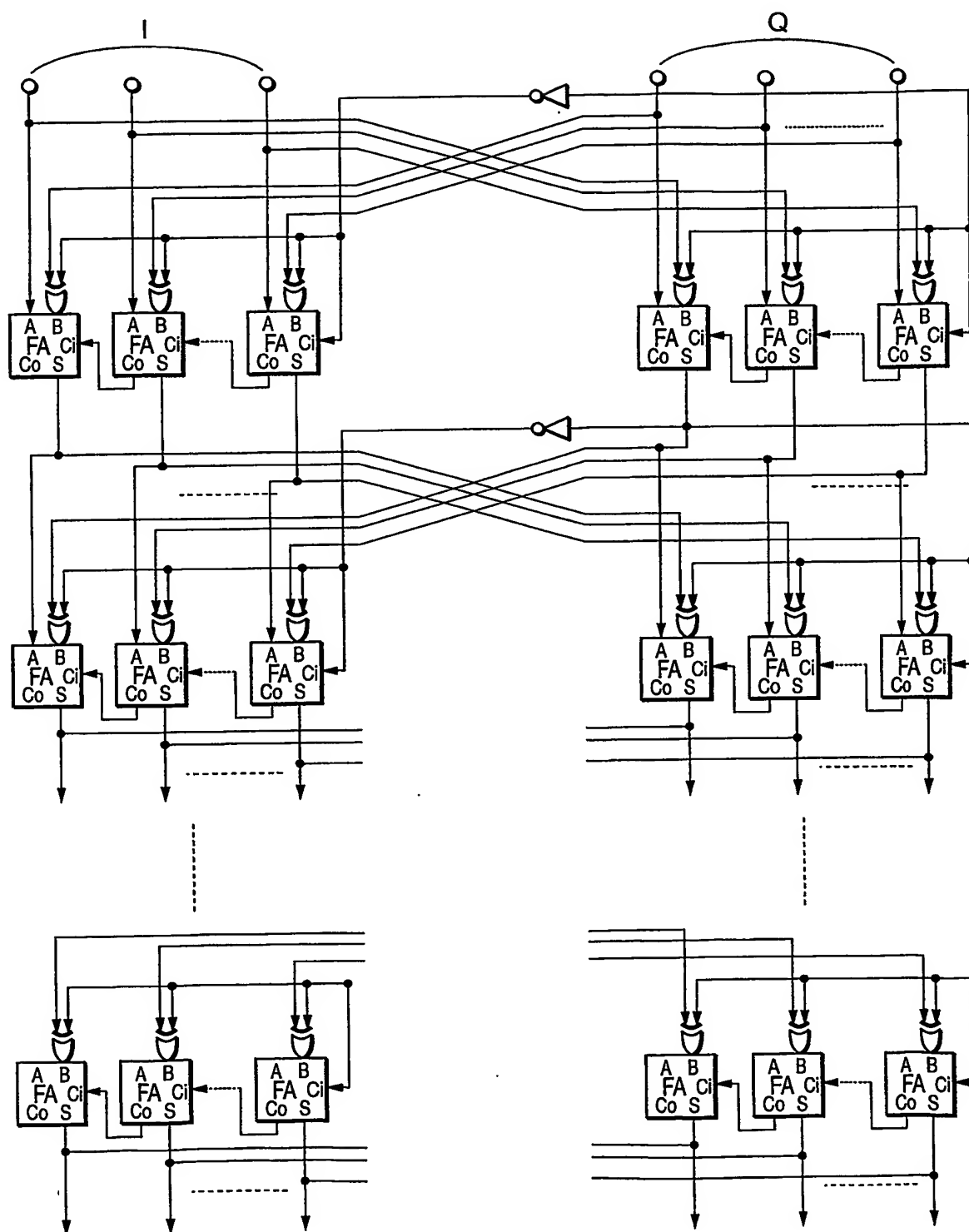


FIG.6B



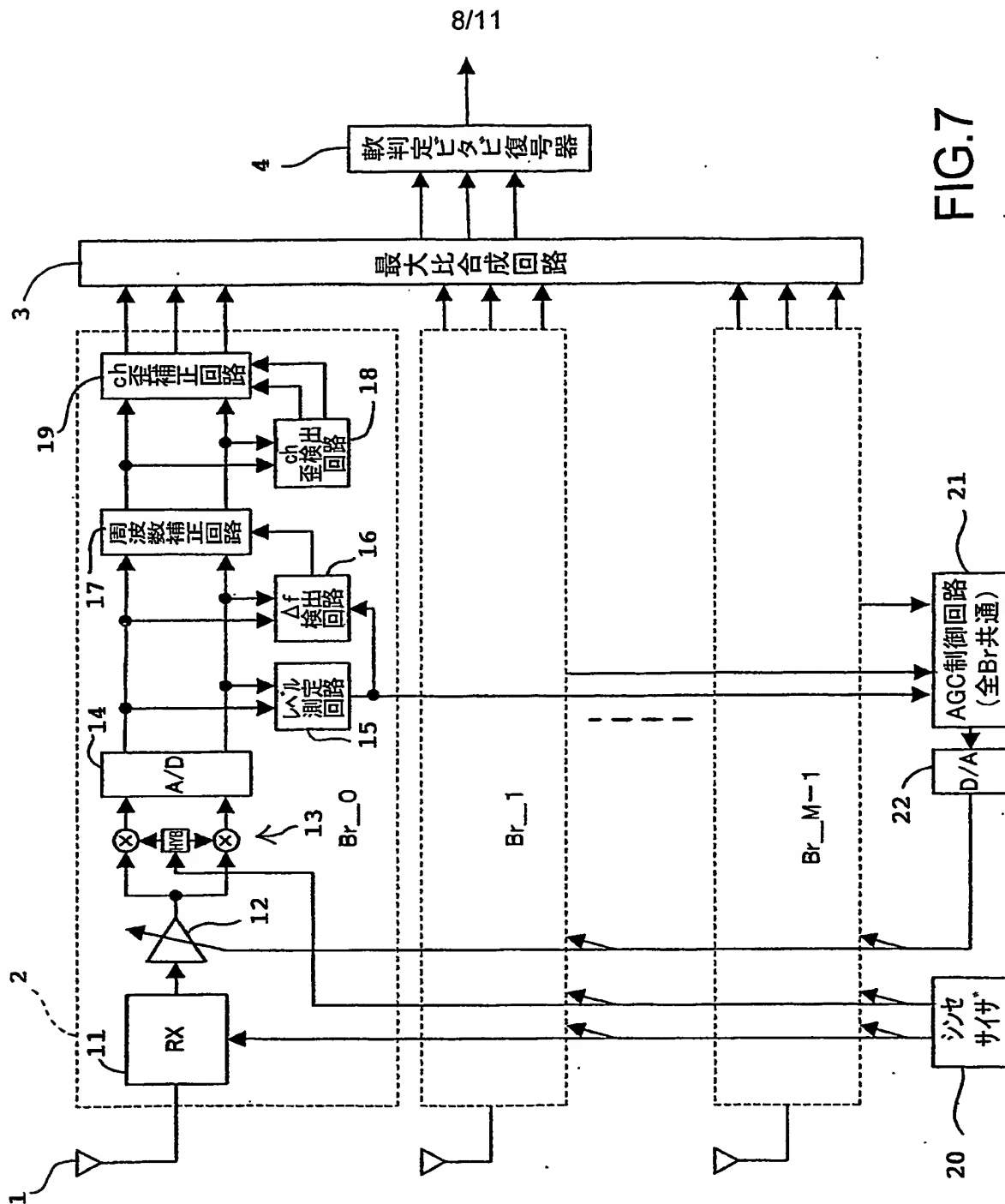
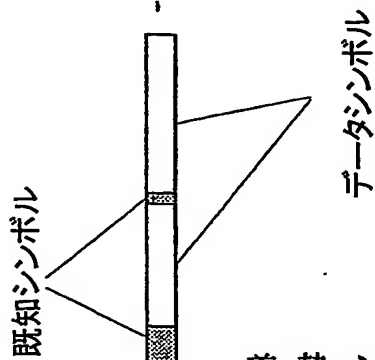


FIG.7

従来技術



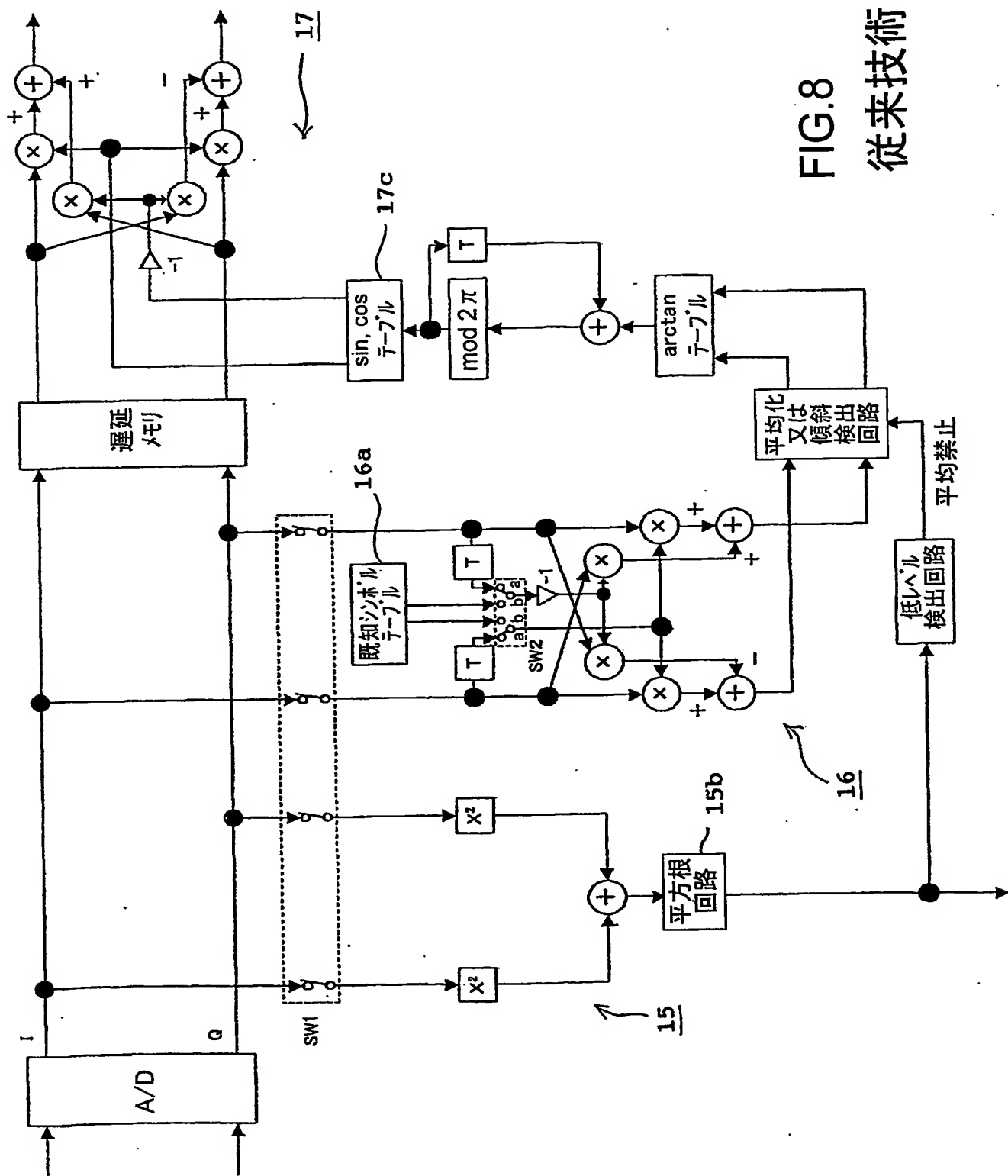
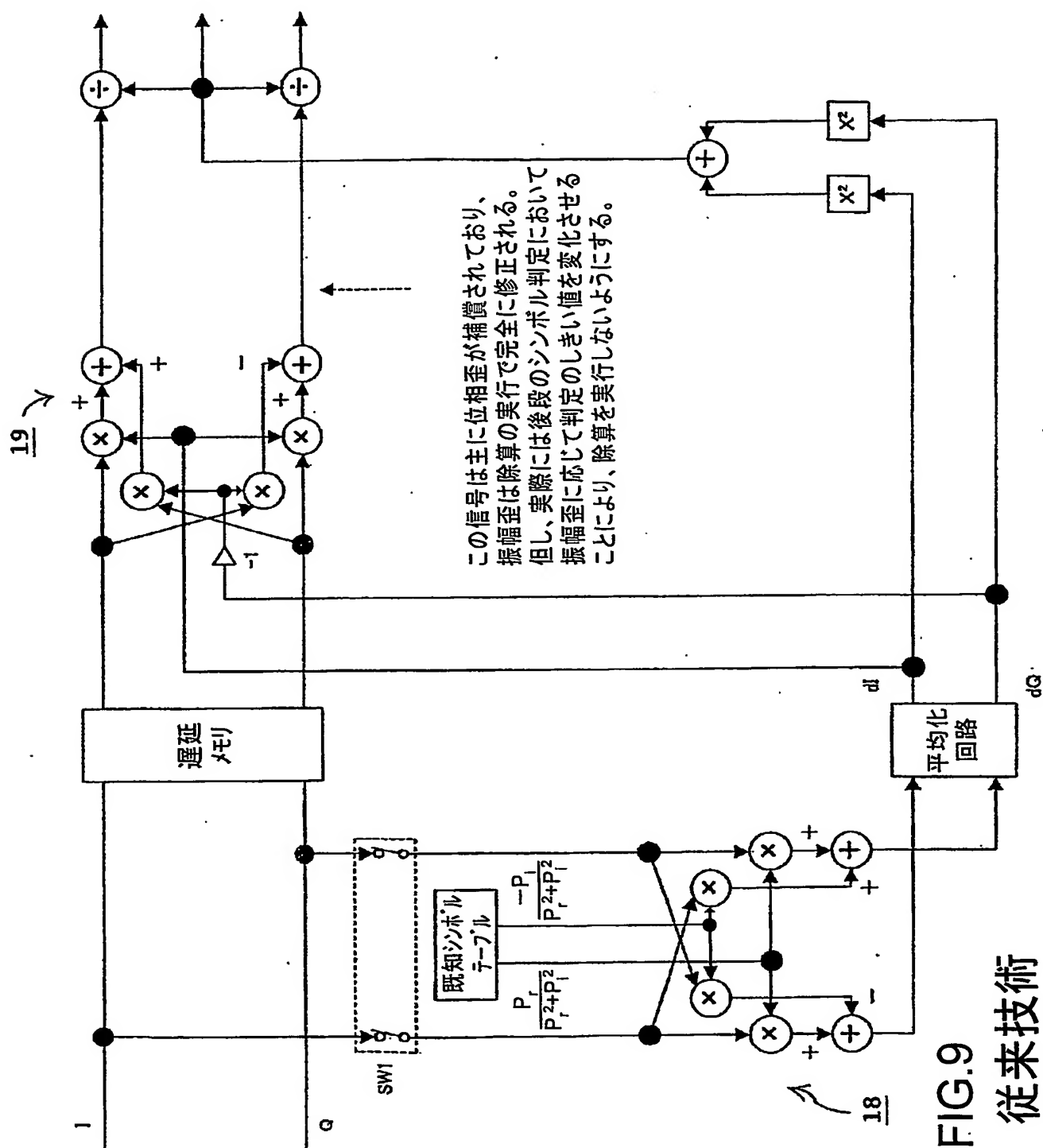
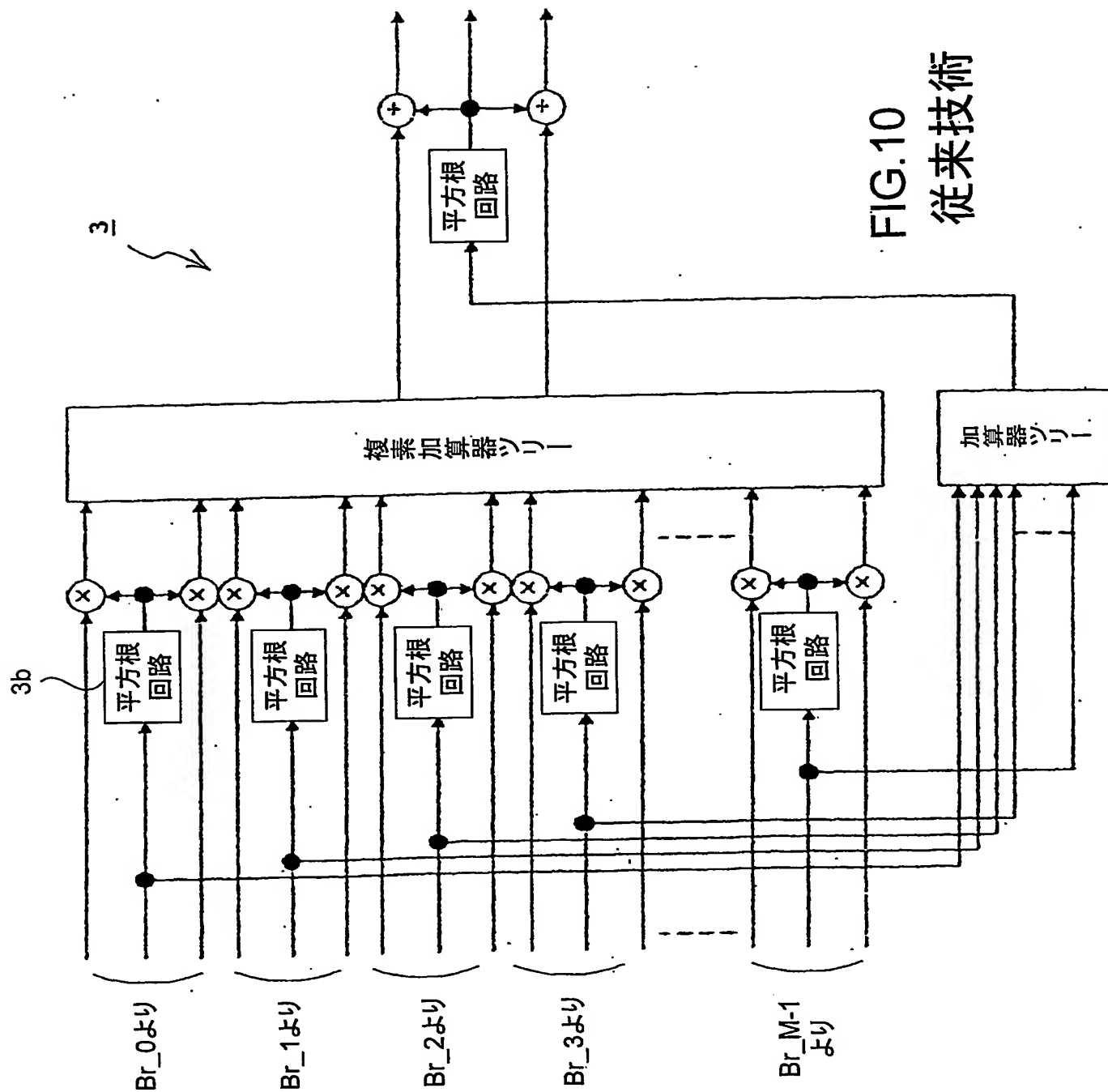


FIG.8
従来技術





INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/08144

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H04L27/38, H03G3/20, H04L1/02, H04B7/08, H04B1/16

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H04L27/38, H03G3/20, H04L1/02, H04B7/08, H04B1/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Jitsuyo Shinan Toroku Koho	1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	<p>JP 7-508389 A (Comstream Corp.), 14 September, 1995 (14.09.95), Page 9, upper left column, line 4 to page 13, lower right column, line 3; Figs. 2 to 8</p> <p>& WO 94/16505 A2 & AU 9459615 A & EP 628229 A1 & NO 9403189 A & CZ 9401975 A3 & WO 94/16505 A3 & HU 68003 T & NZ 261042 A & US 5550869 A & CN 1092231 A & AU 682336 B & BR 9305988 A & AU 9749332 A & EP 848523 A2 & CZ 9702794 A3 & CZ 9702795 A3 & CZ 9702796 A3 & EP 628229 B1 & DE 69326140 E & CA 2130269 C & AU 716743 B & RU 2128399 C1</p>	1-2

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not
 considered to be of particular relevance
 "E" earlier document but published on or after the international filing
 date
 "L" document which may throw doubts on priority claim(s) or which is
 cited to establish the publication date of another citation or other
 special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other
 means
 "P" document published prior to the international filing date but later
 than the priority date claimed

"T" later document published after the international filing date or
 priority date and not in conflict with the application but cited to
 understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be
 considered novel or cannot be considered to involve an inventive
 step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be
 considered to involve an inventive step when the document is
 combined with one or more other such documents, such
 combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
 18 September, 2003 (18.09.03)

Date of mailing of the international search report
 07 October, 2003 (07.10.03)

Name and mailing address of the ISA/
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/08144

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-175283 A (Matsushita Electric Industrial Co., Ltd.), 21 June, 2002 (21.06.02), Par. Nos. [0065] to [0078]; Fig. 5 (Family: none)	5
Y	JP 2001-196982 A (Lucent Technologies Inc.), 19 July, 2001 (19.07.01), Par. No. [0048] & EP 1100213 A2 & CA 2323368 A1 & US 6600796 B1	5
A	JP 2001-111640 A (Mitsubishi Electric Information Technology Center America, Inc.), 20 April, 2001 (20.04.01), Par. Nos. [0006] to [0021]; Figs. 1 to 7 & EP 1085427 A2 & US 6526110 B1	1, 4
A	JP 2001-044868 A (Sony International GmbH.), 16 February, 2001 (16.02.01), Par. Nos. [0094] to [0103]; Figs. 9 to 10 & EP 1065853 A1 & CA 2312531 A1 & CN 1279544 A & KR 2001007583 A	1, 3
A	JP 11-127210 A (Micronas Intermetall GmbH.), 11 May, 1999 (11.05.99), Par. Nos. [0013] to [0020]; Fig. 1 & EP 895386 A1 & CN 1210398 A & KR 99014319 A & TW 390079 A & US 6215830 B1 & EP 895386 B1 & DE 59709234 G	2, 4
A	JP 8-237318 A (AT & T Corp.), 13 September, 1996 (13.09.96), Par. Nos. [0011] to [0035]; Figs. 1, 7 & TW 266365 A & EP 717512 A2 & CN 1138814 A	4

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H04L27/38, H03G3/20, H04L1/02, H04B7/08, H04B1/16

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H04L27/38, H03G3/20, H04L1/02, H04B7/08, H04B1/16

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2003年
 日本国登録実用新案公報 1994-2003年
 日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 7-508389 A (コムストリーム・コーポレイション) 1995.09.14 第9頁左上欄第4行~第13頁右下欄第3行, 第2図-第8図 & WO 94/16505 A2 & AU 9459615 A & EP 628229 A1 & NO 9403189 A & CZ 9401975 A3 & WO 94/16505 A3 & HU 68003 T & NZ 261042 A & US 5550869 A & CN 1092231 A & AU 682336 B & BR 9305988 A & AU 9749332 A & EP 848523 A2	1-2

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

18.09.03

国際調査報告の発送日

07.10.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

北村 智彦

5K

3362

電話番号 03-3581-1101 内線 3555

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
	& CZ 9702794 A3 & CZ 9702795 A 3 & CZ 9702796 A3 & EP 628229 B1 & DE 69326140 E & CA 213026 9 C & AU 716743 B & RU 2128399 C1	
Y	JP 2002-175283 A (松下電器産業株式会社) 2 002.06.21 段落 [0065]-[0078], 第5図 (ファミリーなし)	5
Y	JP 2001-196982 A (ルーセント テクノロジー インコーポレイテッド) 2001.07.19 段落 [0048] & EP 1100213 A2 & CA. 2323368 A1 & US 6600796 B1	5
A	JP 2001-111640 A (三菱・エレクトリック ・インフォメーション・テクノロジー・センター・アメリカ・イン コーポレイテッド) 2001.04.20 段落 [0006]-[0021], 第1図-第7図 & EP 108 5427 A2 & US 6526110 B1	1, 4
A	JP 2001-044868 A (ソニー インターナシヨナ ル (ヨーロッパ) ゲゼルシャフト ミット ベシュレンクテル ハフツング) 2001.02.16 段落 [0094]-[0103], 第9図-第10図 & EP 10 65853 A1 & CA 2312531 A1 & CN 1279544 A & KR 2001007583 A	1, 3
A	JP 11-127210 A (マイクロナス・インターメタル・ ゲーエムベーハー) 1999.05.11 段落 [0013]-[0020], 第1図 & EP 895386 A1 & CN 1210398 A & KR 9901431 9 A & TW 390079 A & US 6215830 B1 & EP 895386 B1 & DE 597092 34 G	2, 4
A	JP 8-237318 A (エイ・ティ・アンド・ティ・コー ポレーション) 1996.09.13 段落 [0011]-[0035], 第1図, 第7図 & TW 266 365 A & EP 717512 A2 & CN 1138 814 A	4